

## ⑪ 公開特許公報 (A) 昭62-274654

⑤Int.Cl.<sup>4</sup>

H 01 L 27/08

識別記号

102

府内整理番号

7735-5F

⑩公開 昭和62年(1987)11月28日

審査請求 未請求 発明の数 1 (全3頁)

## ④発明の名称 入力保護装置

②特 願 昭61-118759

②出 願 昭61(1986)5月22日

③発明者 江口 宏次 東京都港区芝5丁目33番1号 日本電気株式会社内

④出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑤代理人 弁理士 内原 晋

## 明細書

## 1. 発明の名称

入力保護装置

## 2. 特許請求の範囲

入力用ポンディングパッドに一端がオーミック接続された一導電型不純物を含むポリシリコン抵抗層と、このポリシリコン抵抗層の他端に接続された一導電型不純物を含む拡散抵抗層とを備え、この拡散抵抗層の他端側が保護すべき入力ゲートへと通じる半導体集積回路の入力保護装置において、前記ポリシリコン抵抗層を前記拡散抵抗層の上面に配置し更に、前記ポリシリコン抵抗層に沿ってこの上面には、前記入力用ポンディングパッドからのアルミ配線層を延長させ少なくとも前記入力用ポンディングパットから 250 μm 以上の配線長を得た後に前記ポリシリコン抵抗層とオーミック接続したことを特徴とする半導体集積回路の入力保護装置。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は半導体集積回路の入力保護装置に係り特IC一導電型不純物を含むポリシリコン抵抗層と一導電型の拡散層と更に入力用ポンディングパッドから延長したアルミ配線層とから構成される入力保護装置に関する。

## 〔従来の技術〕

従来、例えば相補型MOS構造における入力保護装置としては第3図及び第4図に示すようにN型不純物を含むポリシリコン抵抗層31の一端をP型ウェル32中に形成されたN型拡散抵抗層33の一端にオーミック接続し、このN型拡散抵抗層33の他端はゲート(G)入力に導びかれる。次に、前記ポリシリコン抵抗層31の他端はポンディングパット34に接続され、更にP型ウェル32はV<sub>dd</sub>電源線35にオーミック接続されている。尚ダイオードDは、P型ウェル32とN型拡散抵抗層とで形成されたものである。

## 〔発明が解決しようとする問題点〕

上述した従来の入力保護装置は、N型不純物を含むポリシリコン層31がトランジスタ素子のゲート電極層と同一配線層である為、上記ポリシリコン抵抗層31をN型拡散抵抗層33から平面的に離して配置しなければならずパターンレイアウト上大きな面積を必要としている。また、上記ポリシリコン抵抗層31と拡散抵抗層33との接続部においてはサージ電圧が印加された瞬時において最も電界集中が大きい為、絶縁膜を破壊し基板と入力用ポンディングパッド34間が電気的にショートしやすく保護能力が上記接続部で制限されるという欠点もあった。

本発明の目的は上記欠点を解消して、半導体集積回路装置の高密度集積化を計ると共に、保護能力の向上した半導体集積回路の入力保護装置を提供することにある。

#### 〔問題点を解決するための手段〕

本発明の入力保護装置の構成は、入力用ポンディングパッドに一端がオーミック接続された一導電型不純物を含むポリシリコン抵抗層とのポリシリ

含むポリシリコン抵抗層13の一端をコンタクト14でオーミック接続する。オーミック接続されたポリシリコン抵抗層13はN型拡散抵抗層に沿って、上部6000Åの位置に形成され所定の抵抗値を得る。次に、入力用ポンディングパッドから引き出された所定の配線幅をもち前記ポリシリコン抵抗層13に沿って配置され更に配線長250μmをもつアルミ配線層15の他端は前記ポリシリコン抵抗層13の他端とコンタクト16でオーミック接続する一方、N型拡散層12の他端は所定の抵抗値を得た後に入力ゲートGへと通じる。尚、P型ウェル11はP型ウェル11中に形成しP型拡散層17より、Vcc電源線18にコンタクト19でオーミック接続される。

#### 〔発明の効果〕

以上説明したように本発明によれば、従来のゲート電極配線層と同一のポリシリコン抵抗層からゲート電極配線層とは異った第2層目のポリシリコン抵抗層へ換えたこと及び入力用ポンディングパッドから引き出した所定の幅及び配線長を持つ

リコン抵抗層の他端に接続された一導電型不純物を含む拡散抵抗層とを備えこの拡散抵抗層の他端側が保護すべき入力ゲートへと通じる半導体集積回路の入力保護装置において、前記ポリシリコン抵抗層を前記拡散抵抗層の上面に配置し、更に前記ポリシリコン抵抗層に沿ってこの上面には前記入力用ポンディングパッドからのアルミ配線層を延長させ少なくとも前記入力用ポンディングパッドから250μm以上の配線長を得た後に前記ポリシリコン抵抗層とオーミック接続したことを特徴とする。

#### 〔実施例〕

次に、本発明について図面を参照にして詳細に説明する。第1図は本発明の実施例の入力保護装置における入力保護パターンの平面図であり相補型MOS集積回路の入力保護装置を例にとっている。第2図は第1図のA-A'線上における断面図である。第1図及び第2図において、P型ウェル11上に形成されたN型拡散抵抗層12の一端と、ゲート電極層とは異なる第2層目のN型不純物を

アルミ配線層を使用したことによって拡散抵抗層上には第2層目ポリシリコン抵抗層を又第2層目ポリシリコン抵抗層上には、アルミ配線層をそれぞれサンドイッチ構造にして配置させることができとなり、従ってポリシリコン抵抗層及びアルミ配線層の配置面積分が不要となり高密度集積化が可能となる。

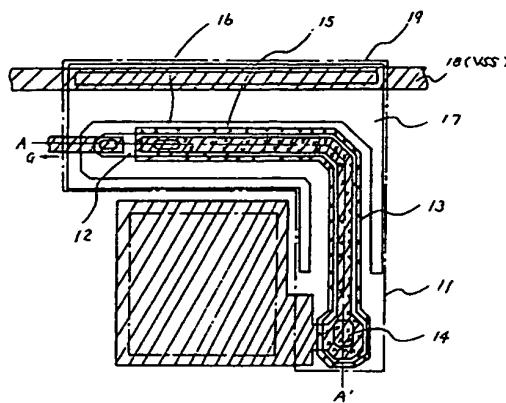
更に、入力用ポンディングパッドとポリシリコン抵抗層の接続に所定の幅及び配線長をもつたアルミ配線層を使用している為アルミ配線層の抵抗成分やポリシリコン抵抗層との間のカップリング容量でサージ電圧が印加された瞬時においてもアルミ配線層とポリシリコン抵抗層との接続部において電界集中がなくなり入力保護能力の向上ができるという効果が得られる。

#### 4. 図面の簡単な説明

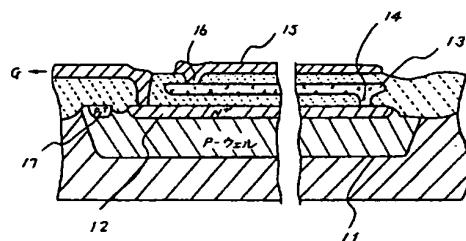
第1図は本発明の実施例で半導体集積回路の入力保護装置の平面図、第2図は第1図のA-A'線上における断面図、第3図は従来の入力保護バター

ンの平面図、第4図は第3図の等価回路である。  
尚、図において、11, 32 …… P型ウェル、12,  
33 …… N型拡散抵抗層、13 …… 2層目N型ポ  
リシリコン抵抗層、31 …… 1層目N型ポリシリ  
コン抵抗層、14, 16, 19 …… コンタクトホール、  
17 …… P型拡散層、15 …… アルミ配線層、34  
…… パンディングパッド、18, 35 …… V<sub>SS</sub>電源  
線。

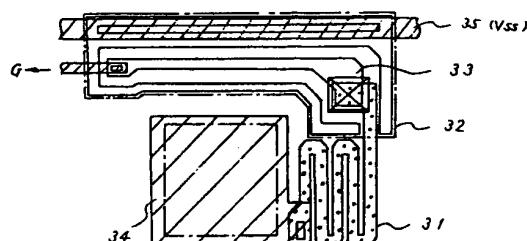
代理人弁理士 内原晋



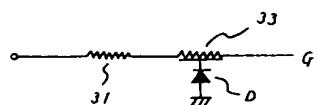
第1図



第2図



第3図



第4図

CLIPPEDIMAGE= JP362274654A

PAT-NO: JP362274654A

DOCUMENT-IDENTIFIER: JP 62274654 A

TITLE: INPUT PROTECTION DEVICE

PUBN-DATE: November 28, 1987

INVENTOR-INFORMATION:

NAME

EGUCHI, KOJI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP61118759

APPL-DATE: May 22, 1986

INT-CL (IPC): H01L027/08

US-CL-CURRENT: **257/538**

ABSTRACT:

PURPOSE: To implement high density integration, by arranging the second polysilicon resistor layer on a diffused resistor layer, arranging an aluminum wiring layer on the second polysilicon resistor layer, thereby providing a sandwich structure, and omitting the area for arranging the polysilicon resistor layer and the aluminum wiring layer.

CONSTITUTION: One end of an N-type diffused resistor layer 12, which is formed on a P-type well 11, is ohmic-connected with one end of a second polysilicon resistor layer 13, which is different from a gate electrode layer and includes N-type impurities, through a contact part 14. The polysilicon resistor layer, which is connected in an ohmic state, is formed along the N-type diffused resistor layer at a position higher than the layer by 6,000 &angst; and has a

specified resistance value. Then, an aluminum wiring layer 15 is taken out of an input bonding pad and has a specified width of wiring. The wiring layer 15 is arranged along the polysilicon resistor layer 13 and has the wiring length of 250  $\mu\text{m}$ . The other end of the aluminum interconnection layer 15 is connected to the other end of the polysilicon resistor layer 13 through a contact part 16 in an ohmic state. Meanwhile, the other end of the N-type diffused layer 12 is connected to an input gate G after a specified resistance value is obtained.

COPYRIGHT: (C)1987,JPO&Japio